

明細書

化合物半導体、その製造方法及び化合物半導体素子

技術分野

本発明は、低転位密度の化合物半導体、その製造方法及びそれを用いた化合物
5 半導体素子に関するものである。

背景技術

現在、携帯電話のパワーアンプやスイッチなどに用いられている化合物半導体
素子はG a A s 基板上にエピタキシャル法等によって様々なヘテロ構造を形成し
たものが主流である。例えば、携帯電話用のマイクロ波增幅素子又は高速スイッ
10 チング素子として用いられる高移動度トランジスタ（以下、HEMTと称する）
の場合、G a A s 基板上にn型A 1 G a A s 電子供給層、及びI n G a A s チャ
ネル層を形成し、チャネル層における高移動度2次元電子ガスを利用した化合物
半導体素子となっている。

近年の素子の高速化への要求から、G a A s 基板を使用した素子からI n P 基
15 板を使用した素子への切り替えが迫られている。I n P 基板を使用するとI n G
a A s チャネル層のI n 組成をG a A s 基板の場合と比較して高くすることができ
きるため、電子輸送特性が飛躍的に向上するからである。

しかしながら、I n P 基板は、I n P の積層欠陥エネルギーがG a A s のそれ
より小さいことに起因して、単結晶基板を製造することが困難であることに加え、
20 I n 地金が貴重なため価格がG a A s の数倍以上と高価である。また、I n P 基
板は割れやすく強度的にも問題があり、I n P 基板の使用は、エピタキシャル層
形成時および素子作製プロセス時における歩留まり悪化の原因となっている。

そこで、HEMT用のI n G a A s / I n A 1 A s 系のエピタキシャル層を、
I n P 基板上に形成するのと同様にしてG a A s 基板上に形成することにより、
25 化合物半導体を作製する試みが盛んに行われている。しかし、G a A s の格子定

数が 5.6533 \AA であるのに対し、InP又はInPに格子整合する $\text{In}_{0.58}\text{Ga}_{0.42}\text{As}$ や $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ の格子定数は 5.8688 \AA であり、したがって、上記の構成を採用する場合約4%の格子定数における不整合が生じる。このため、GaAs基板上にこれらを直接形成すると、これにより得られたHEMTには、格子不整合に起因するミスフィット転位が大量に導入されてしまう。

この不具合を解決するため、GaAs基板上のバッファ層に InGaAs や InAlAs の組成勾配層を設ける方法が公知である。従来では、この組成勾配層の格子定数を層の厚み方向に徐々に変えていくリニアグレーデッドバッファ法（例えば、W. E. Hoke et al., J. Vac. Sci. Technol. B, 19(2001)1505参照）、又はこの組成勾配層の格子定数を層の厚み方向に段階的に変化させていくステップグレーデッドバッファ法（例えば、S. Goze et al., J. Cryst. Growth 201/202(2001)155 参照）が主に用いられている。前者は格子歪をバッファ層の中で徐々に緩和し、転位の発生を最小限に抑える方法であり、後者は段階的に組成を変えることにより界面で転位を曲げ、これにより転位が上層へ伝播するのを妨ぐ方法である。

上述した従来方法は、いずれもミスフィット転位の低減には効果があり、実際にこれらの方法で作製したエピタキシャル基板を使用した化合物半導体素子が試作されているが、実用化には至っていない。これら従来方法の問題点は、バッファ層が 0.5 \mu m 以上と非常に厚くなることである。例えばリニアグレーデッドバッファ法を採用した場合には、バッファ層厚 1.5 \mu m を要している。その理由は、膜厚が薄いと、格子不整合による歪が薄いバッファに集中して転位密度が非常に高くなるからである。一方ステップグレーデッドバッファ法では、各バッファ界面で転位の方向を変えられるため、バッファ膜厚を薄くできる。しかしながら、この場合でも、上記文献に開示されている例では、バッファ層厚は 0.6 \mu m である。このように組成勾配層を用いた従来のバッファ層によると、その膜厚を 0.5 \mu m 以下にすることは困難である。

基板上に厚い膜を積むと原料をより多く必要とする上に成長時間が長くなるので、コストがかさむことになる。したがって、高価なInP基板を安価なGaAs基板で置き換えるもコストの削減は僅かということになり、低コスト化という

目的を達成できない虞がある。

また、厚い膜を積むことにより表面の平坦性が損なわれるので、HEMTなどの化合物半導体素子を製作するためのエピタキシャル基板では、出来上がったHEMTの移動度への悪影響も考えられる。このほか、バッファ層の膜厚が厚いと
5 バッファ層に高濃度の転位が集積するため、リーク電流の増大や、様々な信頼性が低下する虞があり、化合物半導体素子としての電気的特性や信頼性が低下するという傾向を生じる。

本発明の目的は、従来技術における上述の問題点を解決することができる化合物半導体、およびその製造方法を提供することにある。

10 本発明の目的は、また、電気的特性や信頼性に優れた化合物半導体素子を提供することにある。

発明の開示

上記課題を解決するため、銳意研究の結果、本発明者等は、GaAs基板上に
5 nm以上500nm以下の膜厚のInGaPバッファ層又はInGaAsPバ
15 ッファ層を形成した後、該バッファ層上にInP、InGaAsあるいはInAlAs層等を積層することにより、その表面欠陥が少なく表面状態も良好になることを見出し、この知見に基づいて本発明をなすに至ったものである。

本発明の特徴は、GaAs基板上に、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶が成層されて成る化合物半導体において、前記GaAs基板上にInGaPバッファ層又はInGaAsPバッファ層を介して前記結晶が形成され、該バッファ層の膜厚が5nm以上500nm以下である点にある。

GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶は、InGaAs又はInAlAs結晶であってもよい。InGaPバッファ層又はInGaAsPバッファ層の少なくとも上層5nmのIn組成はGaAsと格子整合する組成よりも高くてよい。該化合物半導体を用いて、電気的特性や信頼性に優れたHEMT又はその他の化合物半導体素子を製造することができる。

本発明の他の特徴は、GaAs基板上に、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶を成長させる化合物半導体の製造方法において、GaAs基板上にInGaPバッファ層又はInGaAsPバッファ層を成長させ、該InGaPバッファ層又はInGaAsPバッファ層上にGaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶を成長させる点にある。
5

図面の簡単な説明

第1図は、本発明による化合物半導体の一実施形態を示す層構造図である。

第2図は、第1図のInGaP層のIn偏析現象を示しているGaとInとの濃度分布の測定結果を示すグラフである。
10

第3図は、本発明による化合物半導体の他の実施形態を示す層構造図である。

発明を実施するための最良の形態

本発明をより詳細に説述するために、添付の図面に従ってこれを説明する。なお、ここではInGaPバッファ層の場合について説明するが、本発明はこの一実施例に限定されるものではなく、例えばInGaAsPについても全く同様に扱うことができる。
15

第1図は、本発明による化合物半導体の一実施形態を示す層構造図である。化合物半導体エピタキシャル基板10は、半絶縁性GaAs基板1上にGaAsバッファ層2及びInGaPバッファ層3がこの順序で形成されている。なお、GaAsバッファ層2は、形成されていなくても良い。
20

InGaPバッファ層3の層厚は、本実施の形態では30nmとなっており、In組成すなわちInとGaの総和モル数に対するInモル数の割合が、上層約5nmの範囲すなわちこの層の上のバリア層4との境界から約5nmの範囲では0.48よりも高く、それ以外の範囲では0.48となっている。InGaPバッファ層3の厚さは5nm以上500nm以下の範囲内であればよい。
25

なお、In組成が0.48の場合にはInGaPがGaAsと格子整合する。

この0.48という値は一般に知られている3-5族4元混晶組成図から算出できる（例えば、永井治男、安達定雄、福井孝志“III-V族半導体混晶”、コロナ社（1988））。InGaAsPの場合についても、同様にGaAsと格子整合するIn組成を決定できる。この場合のIn組成はAs組成に依存する。例えば、As組成を0.5とすると、In組成は0.24となる。別のAs組成であれば、In組成も異なる値となる。

10 InGaPバッファ層3の上には、InPから成るバリア層4、In組成が0.53のInGaAsから成るチャネル層5、In組成が0.52のInAlAsから成るスペーサ層6がこの順序で形成されている。スペーサ層6の上には、さらに、In組成が0.52のSiドープInAlAsから成る電子供給層7、In組成が0.52のInAlAsから成るショットキー層8、In組成が0.53のInGaAsから成りSiをドーピングしたコンタクト層9がこの順序で形成されている。

15 半絶縁性GaAs基板1上に形成される各層は、例えば、有機金属化学気相成長法（以下、MOCVD法と称することがある）により順次成層することができる。ここで、InGaPバッファ層3を形成する場合、In組成が均一に0.48となるように意図してInGaPバッファ層3を形成する。しかし、実際には、Inの偏析効果により、InGaPバッファ層3のうちバリア層4に近い領域、すなわちバッファ層3の上層約5nmの範囲の領域では、In組成は0.48よりも充分に大きくなり、バリア層4との境界付近ではInが過剰となる。一方、InGaPバッファ層3中のGaについては、バリア層4との境界付近では不足状態となる。

20 この結果、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶を有する層が、InGaPバッファ層3の最表面のInが過剰となっている領域の上に形成されることになる。このことは、実質的に、InP層の上にGaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶を有する層等を形成するのと同様の結果となることを意味する。したがって、半絶縁性GaAs基板1上に形成されたInGaPバッファ層3の表面の組成はInPの組成に極め

て近く、格子不整合が極めて大きくなっているにもかかわらず、InGaPバッファ層3の表面状態の悪化につながるようなミスフィット転位の発生が抑えられる。

このことを確認するため、GaAs基板上にInGaP層を形成した試料を用いて、InGaP層内におけるGaとInとの濃度分布を実際に測定した。第2図はその測定結果を示すグラフである。第2図に示すグラフは、GaAs基板上にMOCVD法によりIn組成が0.48になるように意図してInGaP層を約24nmの厚さに形成し、このInGaP層中のInとGaとの濃度をSIMS分析を行って測定した結果を示すものである。横軸はInGaP層の表面からの深さを示し、縦軸はIn及びGaの濃度を示している。

第2図から判るように、InGaP層をそのIn組成が均一に0.48となるように成長形成させたにもかかわらず、実際には、最表面のInが過剰になっていることがわかる。一方、Gaは最表面で不足している。また、得られた試料の表面状態を観察したところHaze値が数ppmであった。このことからも、InGaP層の表面はInPの組成に極めて近く、格子不整合が極めて大きくなっているにもかかわらず、InGaP層の表面状態の悪化につながるようなミスフィット転位の発生が抑えられていることが理解された。

また、InGaP層におけるInが過剰と成る膜厚はその成長温度等によるが、およそ5nm程度以上であることが第2図からわかる。InGaP層の膜厚が薄すぎると、単位膜厚当たりの格子ミスフィットによる応力が大きすぎて、本発明で期待されるミスフィット転位の発生抑制効果が減少すると考えられる。

次に、InGaPバッファ層の成長条件について検討するため、GaAs基板上に、MOCVD法により、InGaP層を30nm、さらにInP層を100nm形成して化合物半導体エピタキシャル基板を作製した。各エピタキシャル膜の成長温度は400～700°Cの範囲で検討した。成長温度によって、得られたエピタキシャル基板の表面状態がどのようになるのかを観察すると共に、Haze値を測定した。その結果は次の通りであった。

成長温度 (°C)	表面状態	Haze値 (ppm)
-----------	------	-------------

400～580	鏡面	数百～1000
580～600	鏡面	1000～2000
600～700	白濁	数千～数万

成長温度600°C以上では表面が白濁していた。一方成長温度が600°Cを下回った場合にはその表面に良好な鏡面が得られ、特に580°C以下ではHaze値が2000 ppmを下回った。したがって、InGaPバッファ層3は400°C以上、600°C以下の成長温度条件で成長させるのが好ましく、より好ましい成長温度条件は、400°C～580°Cである。

次にMOCVD成長温度を550°Cに固定し、GaAs基板上にInGaPバッファ膜厚を15 nm～300 nmの範囲で種々変えて成層し、その上にInP層を100 nmの厚さに形成して化合物半導体エピタキシャル基板を作製した。InGaPバッファの膜厚によって、得られたエピタキシャル基板の表面状態がどのようになるのかを観察すると共に、Haze値を測定した。その結果は次の通りであった。

15	InGaP層の厚さ (nm)	表面状態	Haze値 (ppm)
	15～100	鏡面	数百～1300
	100～300	鏡面	数百～1100

上記結果から判るように、InGaPの膜厚が厚くなるとHaze値が減少する傾向を有する。しかし、その減少による変化値は非常に小さかった。また、第2図からわかるように、InGaP層の組成がInの偏析のために影響を受け始めるのは表面から5 nm～10 nmの距離からである。このことから、転位を有效地に閉じ込められる最小膜厚とは5 nm～10 nm程度であると推定される。InGaP層の膜厚をこの最小膜厚から厚くするにつれて、InGaP層の表面状態は徐々に改善される。しかし、膜厚が100 nm程度以上となると、その改善の度合は小さくなる。以上の事実から推察すると、InGaP層内、特にその最表面付近では、In組成が高い層が存在し、しかもInGaP層を600°C未満の温度で5 nm以上の膜厚に成長した場合には格子不整合によるミスフィット転位が有効に閉じ込められると考えられる。

InGaPバッファ層又はInGaAsPバッファ層の膜厚は、通常、5nm以上500nm以下であるが、好ましくは5nm以上300nm以下、より好ましくは5nm以上100nm以下、さらに好ましくは10nm以上50nm以下である。

5 第1図に示した化合物半導体エピタキシャル基板10は以上の考え方から構成されたもので、膜厚の薄い高品質の格子不整合系バッファ層を得ることが出来る。

さらに本発明の別の実施の形態について第3図を参照して説明する。第1図に示す構成において、InGaPバッファ層の効果をさらに高めるために鋭意検討10した結果、InGaPバッファ層に続いてInPバッファ層を比較的低い温度で成長し、さらに比較的高い温度でアニールを行なうと転位密度をよりいっそう低減でき、化合物半導体素子を製造したときの素子の特性を向上させることが可能であることを本発明者らは見出した。

15 第3図に示した化合物半導体20は、上述の考え方を適用したものであり、InGaPバッファ層3とInPから成るバリア層4との間にInPバッファ層4Aを設けた点でのみ第1図の化合物半導体10と異なっている。したがって、第3図の各部のうち、第1図の各部と対応する部分には同一の符号を付し、それらの説明を省略する。

20 第3図において採用されているバッファ層の構成について説明する。転位密度の低減効果を高めるためInGaPバッファ層に続いて別のバッファ層を成長する場合、この別のバッファ層は熱伝導を考慮するとInPでなければならない。InGaAsやInAlAsは熱伝導係数が小さいからである。InAlAsやInGaAsなどの三元系の化合物半導体はInPやGaAsなどの二元系化合物半導体と比較して熱伝導度が低い。このため、この化合物半導体を用いて化合物半導体素子を製造すると、これにより得られた素子の動作時の放熱が十分でなく、素子の温度が上昇し、特性が低下する。熱伝導度は、例えばInGaAsでは0.05W/cm·°C、InPでは0.68W/cm·°Cで一桁の違いがある。

また、InGaPバッファ層3の表面付近のIn濃度が高く、InGaPバッ

ファ層3の組成がInPに近いことを考慮すると、InGaPバッファ層の直上にInPバッファ層4Aを形成することにより格子定数差の少ない（格子不整合の小さい）界面が形成される。InPバッファ層4Aの成長温度は、InGaPバッファ層3の表面付近の平坦性や転位密度と関係している。InGaPバッファ層3は薄く、平坦性が良好で、ミスフィット転位なども少ない。しかし、InGaPバッファ層3の上に接して形成されるInPバッファ層4Aの成長条件を適切に選ぶことにより該InPバッファ層4Aの表面の平坦性をInGaPバッファ層3の表面の平坦性よりも良好なものとすることができる可能性があるので、発明者らはInPバッファ層4Aの成長温度、膜厚について検討を加えた。

上記検討のため、まず、GaAs基板上にMOCVD法により、550°CでInGaP層を30nm成長し、このInGaP層上に、InP層を成長温度400°C～600°Cの範囲で50nm成長した。さらにInP層を成長温度550°Cで500nm成長し、エピタキシャル基板を作製した。そして、これにより得られたエピタキシャル基板の表面状態を評価した。その結果は次のとおりであった。

成長温度 (°C)	表面状態	Haze 値 (ppm)
400 以上 450 以下の場合	鏡面	数百～千
450 より高く 500 以下の場合	鏡面	数百～2千
500 より高く 550 以下の場合	鏡面	千～2千
550 より高く 600 以下の場合	白濁	数千～1万

成長温度が550°Cを上回ると表面がよりよい鏡面にはならない傾向が見られた。550°C以下では表面は良好な鏡面でHaze値が2000ppm以下となった。400°Cを下回ると、PH₃の分解が不十分となり、InP層の成長速度が著しく遅くなる。従ってInP層の成長温度は400°C以上550°C以下が好ましく、より好ましくは400°C以上500°C以下である。

InPバッファ層成長後に、650°C以上730°C以下の温度でアニールを加えると、このアニールによりわずかに残った格子歪がより完全に緩和され、ミス

フィット転位もループ化されて上層への伝播を防ぐことができる。なお、アニールの操作は InP バッファ成長直後に行なうことが好ましい。

第3図に示した化合物半導体エピタキシャル基板10は以上の考え方から構成されたもので、バッファ層の膜厚が薄いにもかかわらず、良好な特性を有した化合物半導体素子を与える化合物半導体となる。ここで、第3図に示したバッファ層構造を採用する場合には、InGaP バッファ層3と InP バッファ層4Aとの合計膜厚が 5 nm 以上 500 nm 以下の範囲内であればよい。InGaP バッファ層3に代えて、InGaAsP バッファ層を用いる場合も同様に、InGaAsP バッファ層と InP バッファ層4Aとの合計膜厚が 5 nm 以上 500 nm 以下の範囲内であればよい。

InGaP バッファ層又は InGaAsP バッファ層の膜厚と InP バッファ層の膜厚の合計の膜厚は 5 nm 以上 500 nm 以下であればよく、好ましくは 25 nm 以上 500 nm 以下、より好ましくは 25 nm 以上 200 nm 以下、さらに好ましくは 30 nm 以上 130 nm 以下である。

InP バッファ層の膜厚は 20 nm 以上 200 nm 以下が好ましく、より好ましくは 20 nm 以上 100 nm 以下、さらに好ましくは 20 nm 以上 80 nm 以下である。

InP バッファ層内に僅かに残った転位がさらに上の層に伝播するのを防止するため、InP バッファ層の上に InP バリア層を形成することが好ましい。この InP バリア層の成長温度は、従来の InP 成長温度でよい。例えば MOCVD 法では 550 °C ~ 700 °C 程度である。

(実施例)

以下、実施例により本発明をさらに具体的に説明するが、本発明はこれらにより限定されるものではない。本実施例では高電子移動度トランジスタ (HEMT) を例に挙げたが、ヘテロバイポーラトランジスタ (HBT) や p-i-n フォトダイオードにも同様に適用できる。また、本実施例では成長法として有機金属化学気相成長法 (Metalorganic chemical vapor deposition : MOCVD) を用いたが、分子線エピタキシー (Molecular beam epitaxy : MBE) 等を用いるこ

ともできる。また本実施の形態ではInGaPバッファ層を例に挙げたが、InGaAsPバッファ層も同様に用いることができる。

(実施例1)

第1図に示した層構造による化合物半導体ヘテロ構造を有するHEMT用エピタキシャル基板をMOCVD法を用いて次のようにして作製した。MOCVD薄膜作製装置に半絶縁性GaAs基板1を導入し、昇温して基板表面処理を施した後、AsH₃ガス及び金属有機化合物を原料として半絶縁性GaAs基板1の上にGaAs層からなるバッファ層2を形成した。次にAsH₃ガスをPH₃ガスに切り替え、InGaPバッファ層3(In組成0.48)を30nm形成した。このときInGaPバッファ層の成長温度は550°Cとした。さらに温度を適当に調整し、原料を切り替えながら、順にInP層4(In組成0.52)、InGaAsチャネル層5(In組成0.53)、InAlAsスペーサ層6(In組成0.52)、電子供給層(Siプレーナードープ層)7、InAlAsショットキー層8(In組成0.52)、それにSiをドーピングしたInGaAsコンタクト層9(In組成0.53)を形成した。得られたエピタキシャル基板の表面状態は良好で、白濁、クロスハッチ等は全く観察されなかった。

次に上記HEMT用エピタキシャル基板をファンデアポー(van der Pauw)法によるホール測定により評価した。このエピタキシャル基板のコンタクト層9をエッティングにより除去し、室温でホール測定を行ったところ、移動度9100cm²/V·sとInP基板を使用したHEMT用エピタキシャル基板と同等の値を示した。

(実施例2)

InGaPバッファの成長温度を500°C、膜厚を15nmとした以外は実施例1と全く同様の条件でHEMT用エピタキシャル基板を作製した。得られたエピタキシャル基板の表面状態は良好で、白濁、クロスハッチ等は全く観察されなかった。

上記エピタキシャル基板のコンタクト層9をエッティングして室温でホール測定を行ったところ、移動度8900cm²/V·sとInP基板を使用したHEM

T用エピタキシャル基板と同等の値を示した。

(実施例3)

第3図に示した層構造による化合物半導体ヘテロ構造を有するHEMT用エピタキシャル基板をMOCVD法を用いて次のようにして作製した。まず実施例1と同様にInGaPバッファ層3 (In組成0.48) を30nm形成した。このときInGaPバッファ層の成長温度は550°Cとした。次に温度を435°Cまで下げ、InPバッファ層4Aを50nm成長した。さらに温度を650°Cのアニール温度まで昇温してアニールを行い、640°Cに降温した後に、原料を切り替えながら、順にInP層4、InGaAsチャネル層5 (In組成0.53) 、InAlAsスペーサ層6 (In組成0.52) 、Siプレーナードープ層7、InAlAsショットキ層8 (In組成0.52) 、それにSiをドーピングしたInGaAsコンタクト層9 (In組成0.53) を形成した。得られたエピタキシャル基板の表面状態は良好で、白濁、クロスハッチ等は観察されなかった。

次に上記HEMT用エピタキシャル基板のコンタクト層9をエッチングして室温でホール測定を行ったところ、移動度9100cm²/V・sとInP基板を使用して製造されたHEMT用エピタキシャル基板とほぼ同等の値を示した。

(実施例4)

InPバッファ層4Aの成長までは実施例3と同様を行い、700°Cのアニール温度まで昇温してアニールを行い、さらにInPバリア層4以降の層の成長は実施例3と全く同様の条件で行ってHEMT用エピタキシャル基板を作製した。このとき得られたエピタキシャル基板の表面状態は良好で、白濁、クロスハッチ等は全く観察されなかった。

HEMT用エピタキシャル基板のコンタクト層9をエッチングして室温でホール測定を行ったところ、移動度9600cm²/V・sと実施例1～3と比較してさらに良好な結果が得られた。

(実施例5)

InPバッファ層4Aの成長までは実施例3と同様を行い、700°Cのアニール温度まで昇温してアニールを行い、その後逆に温度を480°Cまで下げた。こ

5

の後 480 °C から 700 °C の温度の上げ下げを 3 回 (700 °C への昇は合計 4 回) 行った後、温度を 480 °C として InP バリア層 4 以降の成長は実施例 3 と同様に行って、HEMT 用エピタキシャル基板を作製した。このとき得られたエピタキシャル基板の表面状態は良好で、白濁、クロスハッチ等は全く観察されなかった。

HEMT 用エピタキシャル基板の最上層のコンタクト層 9 をエッチングして室温でホール測定を行ったところ、移動度 $10100 \text{ cm}^2/\text{V} \cdot \text{s}$ と実施例 4 と比較してさらに良好な結果が得られた。

請求の範囲

1. GaAs基板上に、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶が成層されて成る化合物半導体において、前記GaAs基板上にInGaPバッファ層又はInGaAsPバッファ層を介して前記結晶が形成され、該バッファ層の膜厚が5nm以上500nm以下であることを特徴とする化合物半導体。
5
2. GaAs基板上に、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶が形成されて成る化合物半導体において、前記GaAs基板上にInGaPバッファ層又はInGaAsPバッファ層と、さらに前記InGaPバッファ層又はInGaAsPバッファ層の上にInPバッファ層
10が形成され、該二つのバッファ層を介して前記結晶が形成され、該二つのバッファ層の合計の膜厚が5nm以上50.0nm以下であることを特徴とする化合物半導体。
3. 二つのバッファ層の合計の膜厚が2.5nm以上500nm以下の範囲である
15請求の範囲第2項記載の化合物半導体。
4. InPバッファ層の膜厚が20nm以上200nm以下の範囲である請求の
範囲第2項又は第3項記載の化合物半導体。
5. GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶が、InGaAs又はInAlAs結晶である請求の範囲第1項、第2項、第3項又は
20第4項記載の化合物半導体。
6. InGaPバッファ層又はInGaAsPバッファ層の少なくとも上層5nmのIn組成がGaAsと格子整合する組成より高い請求の範囲第1項、第2項、

第3項、第4項又は第5項記載の化合物半導体。

7. 請求の範囲第1項、第2項、第3項、第4項、第5項又は第6項記載の化合物半導体から成る化合物半導体素子。

8. GaAs基板上に、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶を成長させる化合物半導体の製造方法において、GaAs基板上にInGaPバッファ層又はInGaAsPバッファ層を成長させ、該InGaPバッファ層又はInGaAsPバッファ層上にGaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶を成長させることを特徴とする化合物半導体の製造方法。

10 9. 前記InGaPバッファ層又はInGaAsPバッファ層の成長を400°C以上600°C以下の温度で5nm以上500nm以下に成長させて行い、GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶又はInP結晶の成長を400°C以上700°C以下の温度で行う請求の範囲第8項記載の化合物半導体の製造方法。

15 10. 前記InGaPバッファ層又はInGaAsPバッファ層上にInPバッファ層を成長させ、該InPバッファ層を所定のアニール温度まで昇温してアニールし、InP結晶又はGaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶を成長させるための所定の結晶成長温度まで降温した後に、前記InP結晶又は化合物半導体結晶を成長させる請求の範囲第8項記載の化合物半導体の製造方法。

20 11. 前記InGaPバッファ層又はInGaAsPバッファ層の成長を400°C以上600°C以下の温度で5nm以上300nm以下の膜厚となるように行う請求の範囲第10項記載の化合物半導体の製造方法。

12. 前記InPバッファ層の膜厚が20nm以上200nm以下であることを特徴とする請求の範囲第10項又は第11項記載の化合物半導体の製造方法。

13. 前記InPバッファ層の成長温度が400°C以上550°C以下であることを特徴とする請求の範囲第10項、第11項又は第12項記載の化合物半導体の
5 製造方法。

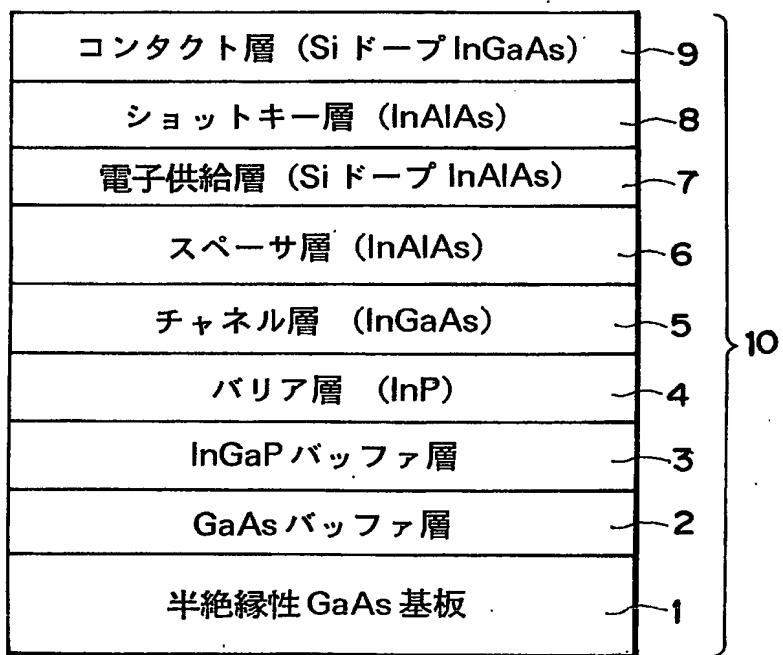
14. 前記InPバッファ層を所定のアニール温度まで昇温してアニールした後、前記InP結晶又はGaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶を成長させる前に、所定のアニール温度から所定の結晶成長温度まで降温し、再び所定のアニール温度まで昇温する操作を1回以上5回以下加えた後に、
10 所定の結晶成長温度まで降温する請求の範囲第10項、第11項、第12項又は第13項記載の化合物半導体の製造方法。

15. 前記所定のアニール温度が650°C以上730°C以下である請求の範囲第10項、第11項、第12項、第13項又は第14項記載の化合物半導体の製造方法。

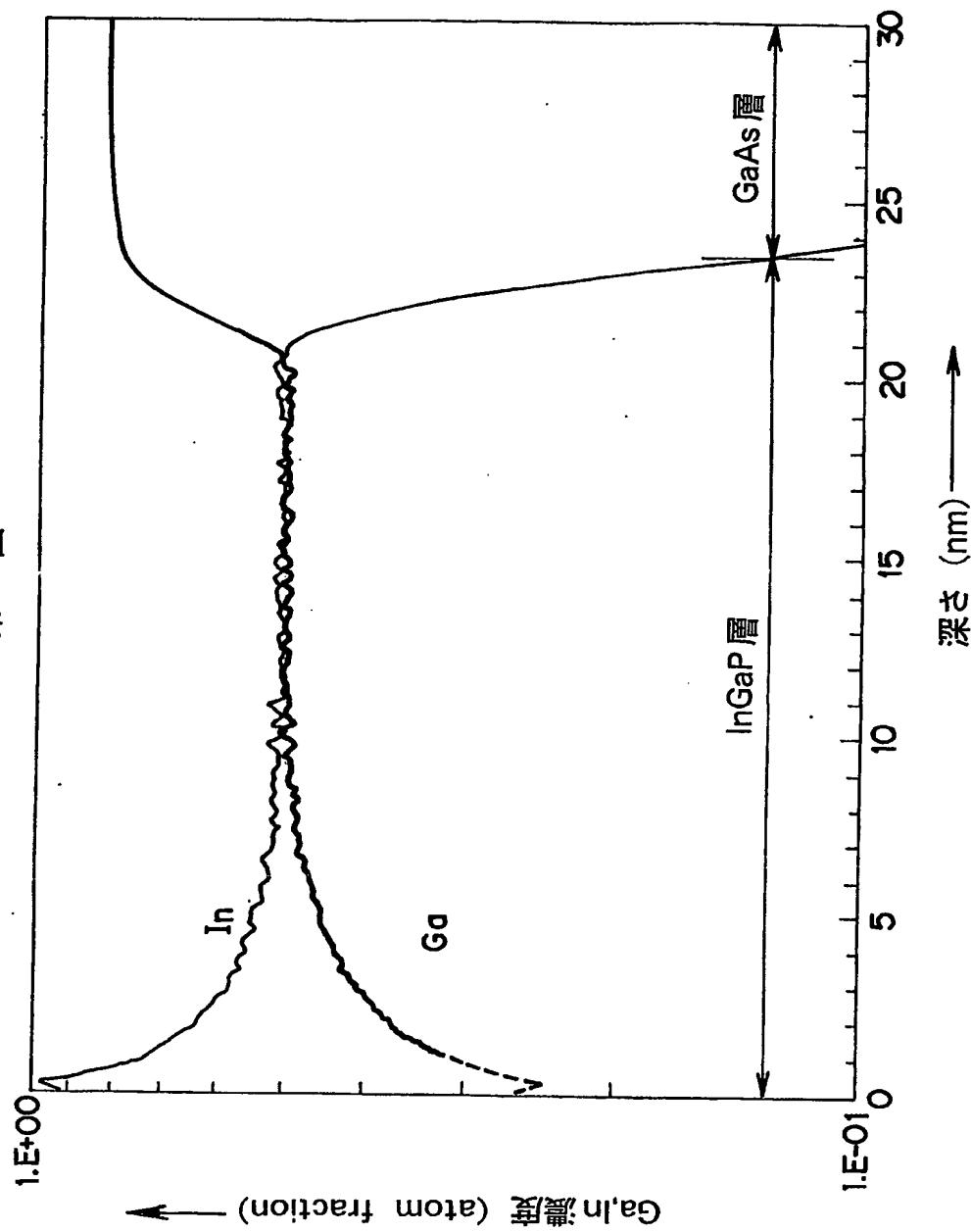
16. 前記所定の結晶成長温度が400°C以上700°C以下である請求の範囲第10項、第11項、第12項、第13項又は第14項記載の化合物半導体の製造方法。
15

17. GaAsの格子定数よりもInPの格子定数に近い化合物半導体結晶が、
InGaAs又はInAlAs結晶である請求の範囲第8項、第9項、第10項、
20 第11項、第12項、第13項、第14項、第15項又は第16項記載の化合物半導体の製造方法。

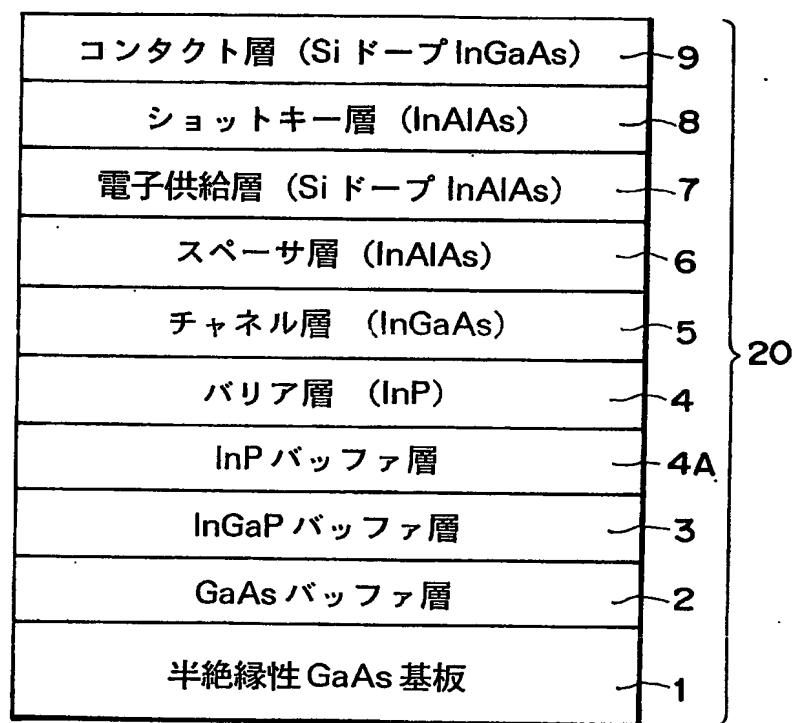
第 1 図



第2図



第 3 図



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' H01L21/205, H01L29/778, H01L29/812,
H01L21/338, C23C16/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' H01L21/205, H01L29/778, H01L29/812,
H01L21/338, H01L21/20, C23C16/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-343802 A (株式会社日立製作所) 2002.11.29 【0021】-【0022】【0030】【0038】-【0042】【0044】【0045】	1-8, 17
Y	& US 2003/62538 A1	9-16
X	JP 2000-260978 A (日本電気株式会社) 2000.09.22 【0079】-【0087】【0120】-【0126】【00134】-【0138】 (ファミリーなし)	1, 5, 7-9, 17

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 20.08.2004	国際調査報告の発送日 07.9.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 拓也 電話番号 03-3581-1101 内線 3469 4R 9169

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	Hong Wang et. al., Metamorphic InP/InGaAs Heterojunction Bipolar Transistors on GaAs Substrate: DC and Microwave Performances., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 48, No. 12, 2001. 12, p. 2671-2676	9
Y	JP 6-177046 A (富士通株式会社) 1994. 06. 24 【0022】 - 【0046】 & US 5492860 A	10-16